

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Wataru SAITO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: POWER SEMICONDUCTOR DEVICE USED FOR POWER CONTROL

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-139071	May 16, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 6 日
Date of Application:

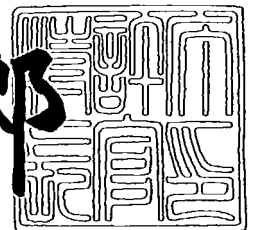
出 願 番 号 特 願 2 0 0 3 - 1 3 9 0 7 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 3 9 0 7 1]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 7 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 A000301025

【提出日】 平成15年 5月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/00

【発明の名称】 電力用半導体素子

【請求項の数】 25

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 齋藤 渉

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 大村 一郎

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 大橋 弘通

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電力用半導体素子

【特許請求の範囲】

【請求項 1】 第 1 の半導体層と、
前記第 1 の半導体層上に形成された第 1 導電型の第 2 の半導体層と、
前記第 2 の半導体層上に離隔して形成された第 1、第 2 の主電極と、
前記第 1 の主電極と前記第 2 の主電極との間の前記第 2 の半導体層上に形成された制御電極と、
前記制御電極と前記第 2 の主電極との間の前記第 2 の半導体層上に形成された第 3 の半導体層と、
を具備することを特徴とする電力用半導体素子。

【請求項 2】 前記第 3 の半導体層上に形成された第 2 導電型の第 4 の半導体層と、
前記第 4 の半導体層上に形成されたフィールドプレート電極と、
をさらに具備することを特徴とする請求項 1 に記載の電力用半導体素子。

【請求項 3】 前記フィールドプレート電極が前記第 1 の主電極に電氣的に接続されていることを特徴とする請求項 2 に記載の電力用半導体素子。

【請求項 4】 前記第 3 の半導体層の厚さが、前記制御電極と前記第 2 の主電極との間の距離よりも小さいことを特徴とする請求項 3 に記載の電力用半導体素子。

【請求項 5】 前記第 2 の主電極下に第 1 導電型の第 5 の半導体層を有することを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の電力用半導体素子。

【請求項 6】 前記第 3 の半導体層と前記第 5 の半導体層とが高さ方向で重なるように配置されていることを特徴とする請求項 5 に記載の電力用半導体素子。

【請求項 7】 前記第 4 の半導体層と前記第 5 の半導体層とが高さ方向で重なるように配置されていることを特徴とする請求項 6 に記載の電力用半導体素子。

【請求項 8】 前記第 3 の半導体層の厚さが前記制御電極と前記第 5 の半導

体層との間の距離よりも小さいことを特徴とする請求項 7 に記載の電力用半導体素子。

【請求項 9】 前記第 3 の半導体層が前記第 2 の主電極を覆うように形成されていることを特徴とする請求項 3 に記載の電力用半導体素子。

【請求項 10】 前記第 4 の半導体層と第 2 の主電極とが高さ方向で重なるように配置されていることを特徴とする請求項 9 に記載の電力用半導体素子。

【請求項 11】 前記第 3 の半導体層の厚さが前記制御電極と前記第 2 の主電極との間の距離よりも小さいことを特徴とする請求項 10 に記載の電力用半導体素子。

【請求項 12】 前記第 3 の半導体層上に形成された絶縁膜と、
前記絶縁膜上に形成されたフィールドプレート電極と、
をさらに具備することを特徴とする請求項 1 に記載の電力用半導体素子。

【請求項 13】 前記フィールドプレート電極が前記第 1 の主電極及び制御電極のいずれかに接続されていることを特徴とする請求項 12 に記載の電力用半導体素子。

【請求項 14】 前記制御電極下に形成されたゲート絶縁膜を、
さらに具備することを特徴とする請求項 3 に記載の電力用半導体素子。

【請求項 15】 前記第 1 の半導体層と前記第 2 の半導体層とが、AlGaIn と GaIn から構成されたヘテロ接合を形成していることを特徴とする請求項 1 乃至 14 のいずれか 1 つに記載の電力用半導体素子。

【請求項 16】 前記第 1 の半導体層と前記第 2 の半導体層とが、AlGaIn と GaIn から構成されたヘテロ接合を形成していることを特徴とする請求項 1 乃至 14 のいずれか 1 つに記載の電力用半導体素子。

【請求項 17】 前記第 2 の半導体層のバンドギャップが前記第 1 の半導体層のバンドギャップよりも広いことを特徴とする請求項 15 または 16 に記載の電力用半導体素子。

【請求項 18】 前記第 3 の半導体層のバンドギャップが深さ方向に向かって変化することを特徴とする請求項 17 に記載の電力用半導体素子。

【請求項 19】 前記第 3 の半導体層のバンドギャップが前記第 4 の半導体

層のバンドギャップよりも広いことを特徴とする請求項 18 に記載の電力用半導体素子。

【請求項 20】 前記第 1、第 2、第 3 及び第 4 の半導体層がダイヤモンドで構成されていることを特徴とする請求項 3 に記載の電力用半導体素子。

【請求項 21】 第 1 の半導体層と、
前記第 1 の半導体層上に形成された第 1 導電型の第 2 の半導体層と、
前記第 2 の半導体層上に形成され、前記第 2 の半導体層とショットキー接合を形成するアノード電極と、
前記第 2 の半導体層上に形成され、前記第 2 の半導体層と電氣的に接続されたカソード電極と、
前記アノード電極と前記カソード電極との間の前記第 2 の半導体層上に形成された第 3 の半導体層と、
を具備することを特徴とする電力用半導体素子。

【請求項 22】 前記第 3 の半導体層上に形成された第 2 導電型の第 4 の半導体層と、
前記第 4 の半導体層上に形成され、前記アノード電極と電氣的に接続されたフィールドプレート電極と、
をさらに具備することを特徴とする請求項 21 に記載の電力用半導体素子。

【請求項 23】 前記第 1、第 2、第 3 及び第 4 の半導体層が 3 eV 以上のバンドギャップを有することを特徴とする請求項 1 乃至 22 のいずれか 1 つに記載の電力用半導体素子。

【請求項 24】 前記第 1 及び第 3 の半導体層は、真性半導体から構成されていることを特徴とする請求項 1 乃至 23 のいずれか 1 つに記載の電力用半導体素子。

【請求項 25】 前記第 1 及び第 3 の半導体層は、不純物濃度が $1.0 \times 10^{14} \text{ cm}^{-3}$ 以下であることを特徴とする請求項 24 に記載の電力用半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電力制御に用いられる半導体装置に関し、特に横型パワー FET (field-effect transistor) とショットキーバリアダイオード (SBD) に関するものである。

【0002】**【従来の技術】**

従来より、スイッチング電源やインバータなど回路には、スイッチング素子やダイオードなどのパワー半導体素子が用いられている。これらパワー半導体素子は、高耐圧で、かつ低オン抵抗であることが求められる。しかし、パワー半導体素子における耐圧とオン抵抗との間には、素子材料で決まるトレードオフの関係がある。

【0003】

これまでの技術開発の進歩により、パワー半導体素子は、主な素子材料であるシリコンの限界近くまで低オン抵抗化が実現されている。このため、オン抵抗を更に低減するには素子材料の変更が必要である。そこで、近年、ガリウム窒素 (GaN) やアルミニウムガリウム窒素 (AlGaN) などの窒化物半導体や炭化珪素 (SiC) などのワイドバンドギャップ半導体をスイッチング素子材料として用いたパワー半導体素子が提案されている。このワイドバンドギャップ半導体を用いたパワー半導体素子は、素子材料で決まる前記トレードオフの関係を改善でき、飛躍的に低オン抵抗化が可能である (例えば、非特許文献 1 参照)。

【0004】**【非特許文献 1】**

“N.-Q. Zhang et al., High Breakdown GaN HEMT with Overlapping Gate Structure”, IEEE ELECTRON DEVICE LETTERS, VOL. 21, NO. 9, SEPTEMBER 2000

【0005】**【発明が解決しようとする課題】**

しかしながら、ワイドバンドギャップ半導体で横型パワー素子を形成した場合、表面パッシベーション絶縁膜の絶縁破壊電界が小さいと、素子耐圧がこの絶縁

破壊電圧にて決まってしまう、表面パッシベーション絶縁膜の耐圧以上の電圧が加わった瞬間に素子が破壊されてしまう。これを避けるためには、素子内の電界を下げる設計を行い、耐圧の余裕を持たせた素子が必要となる。しかし、このような設計を行った場合、結局、ワイドバンドギャップ半導体の能力を引き出すことができず、オン抵抗が増加してしまう。

【0006】

さらに、このような素子は、アバランシェ降伏が起こる前に破壊されてしまうため、アバランシェ耐量を持たないという問題も有している。

【0007】

本発明は、前記課題に鑑みてなされたものであり、高アバランシェ耐量を有し高耐圧で、低オン抵抗を実現した電力用半導体素子を提供することを目的とする。

【0008】

【課題を解決するための手段】

前記目的を達成するために、本発明の一実施形態の電力用半導体素子は、第1の半導体層と、前記第1の半導体層上に形成された第1導電型の第2の半導体層と、前記第2の半導体層上に離隔して形成された第1、第2の主電極と、前記第1の主電極と前記第2の主電極との間の前記第2の半導体層上に形成された制御電極と、前記制御電極と前記第2の主電極との間の前記第2の半導体層上に形成された第3の半導体層とを具備することを特徴とする。

【0009】

前記構成を有する電力用半導体素子によれば、高電圧が印加される制御電極と第2の主電極との間に、絶縁膜でなく第3の半導体層を形成することにより、ドリフト部分と同等な臨界電界が期待できるため、安定した耐圧が得られる。

【0010】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0011】

[第1の実施の形態]

まず、この発明の第1の実施の形態の電力用半導体素子について説明する。

【0012】

図1は、第1の実施の形態の横型GaNパワーHEMTの構成を示す断面図である。横型GaNパワーHEMTは、ソース電極とド레인電極とが基板面に水平に配置され、ガリウム窒素(GaN)をチャネル層に用いた電力用のHEMT(高電子移動度トランジスタ(high electron mobility transistor))である。

【0013】

このHEMTは、以下のような構成を有している。図1に示すように、基板11上には、真性半導体(i形半導体)層であるノンドープGaN層12がチャネル層として形成されている。GaN層12上には、n形の半導体層であるn形AlGaN層13がバリア層として形成されている。なお、前記基板11には、例えばSiC、またはサファイアなどが用いられる。GaN層12の不純物濃度は、 $1.0 \times 10^{14} \text{ cm}^{-3}$ 以下であればよく、この濃度であればこのHEMTにおいて必要な耐圧を保持することができる。

【0014】

n形AlGaN層13上には、ソース電極14とド레인電極15とが離隔して形成されている。ソース電極14とド레인電極15との間のn形AlGaN層13上には、ゲート電極16が形成される。ゲート電極16とド레인電極15との間のn形AlGaN層13上には、真性半導体(i形半導体)層であるノンドープGaN層17が形成されている。さらに、素子表面(GaN層17上)は、絶縁膜18、例えばCVD法により堆積したSiO₂膜で覆われている。なお、ソース電極14またはド레인電極15、ゲート電極16には、Ti/Al/Ni/Auから構成された積層膜が用いられる。

【0015】

前記GaN層12、17、及びn型AlGaN層13は、3eV以上のワイドバンドギャップを有する半導体である。ワイドバンドギャップ半導体の臨界電界は、シリコン(Si)の臨界電界の10倍以上となる。例えば、4H-SiCの

臨界電界は 3×10^6 V/cmであり、またGaNの臨界電界は 5×10^6 V/cm、ダイヤモンドの臨界電界は $8 \times 10^6 \sim 10 \times 10^6$ V/cmである。

【0016】

ここで、SiO₂ 膜の絶縁破壊電界は、良質な熱酸化膜で 1×10^7 V/cm程度であり、絶縁膜18を構成する堆積したSiO₂ 膜は、膜質が悪いため、これよりも低い絶縁破壊電界となってしまう。このように、絶縁膜18の破壊電界はプロセスに大きく依存する。

【0017】

従来のワイドバンドギャップ半導体素子では、半導体層と表面パッシベーション膜の臨界電界が近いため、素子の破壊が半導体層と表面パッシベーション膜のどちらで起こるかは、表面パッシベーション膜を構成する絶縁膜の膜質に大きく依存してしまう。また、絶縁膜を堆積する場合、絶縁膜と半導体層の熱膨張係数の違いによる応力から、基板の反りの発生や、絶縁膜のクラッキング、剥がれの問題が起こる可能性がある。このため、絶縁膜の厚さにも限界がある。

【0018】

図1に示す第1の実施形態のパワーHEMTは、素子材料に窒化物半導体を用いることで、高い臨界電界を有するものとなり、高耐圧が期待できる。そして、高電圧の加わるゲートドレイン間にGaN層17を設けることで、絶縁膜18に加わる電界を弱めている。これにより、素子耐圧は、絶縁膜18の破壊電界で決まるのではなく、半導体層（n形AlGaN層13またはGaN層17）の臨界電界で決まるものとなる。

【0019】

つまり、第1の実施形態の構造では、表面パッシベーション膜を結晶成長膜であるGaN層17にて形成することにより、安定した臨界電界を実現することができる。また、絶縁膜18が覆うゲートドレイン間の半導体表面の距離を増やすことにより、絶縁膜18に加わる電界を弱めることができ、安定した耐圧を実現できる。さらに、結晶成長膜を用いているため、応力の問題も発生せず、GaN層17の厚さを自由に設計することが可能である。

【0020】

前記ゲートドレイン間の半導体表面の距離を長くする方法の一つとして、ゲートドレイン間にトレンチ溝を形成する方法も挙げられるが、この方法では、電流が流れるドリフト層の距離自体も長くなり、オン抵抗が増加してしまう。しかし、第1の実施形態の構造であれば、電流が流れるドリフト部分には影響を及ぼさないで、オン抵抗を増加させずに安定な耐圧を得ることができる。

【0021】

また、図1にはゲート電極16、及びドレイン電極15がノンドープGaN層17と離れて形成された例を示したが、ゲート電極16及びドレイン電極15がノンドープGaN層17と接していても実施可能である。

【0022】

[第2の実施の形態]

次に、この発明の第2の実施の形態の電力用半導体素子について説明する。

【0023】

図2は、第2の実施の形態の横型GaNパワーHEMTの構成を示す断面図である。前記第1の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に異なる構成部分のみを説明する。

【0024】

図2に示すように、ノンドープGaN層17上には、p形の半導体層であるp形GaN層19が形成されている。ノンドープGaN層17上及びp形GaN層19上には、絶縁膜18が形成されている。さらに、絶縁膜18が除去されたp形GaN層19上には、フィールドプレート電極20が形成されており、フィールドプレート電極20は、ソース電極14に電氣的に接続されている。なお、フィールドプレート電極20には、例えばPt膜が用いられる。

【0025】

このような構造を有する第2の実施形態では、前記p形GaN層19を設けることにより、ドレイン電極15に高電圧が加わった場合、p形GaN層19とノンドープGaN層17との接合が高電界となり、アバランシェ降伏が起こる。アバランシェ降伏により発生したホールは速やかにp形GaN層19に排出される

ため、高いアバランシェ耐量可以实现できる。

【0026】

また、ゲートドレイン間に配置されるフィールドプレート電極20をソース電極14と接続することにより、ゲートドレイン間の容量が小さくなり、スイッチング速度を向上させることができる。

【0027】

次に、図3に第2の実施形態の変形例の断面を示す。図2に示した第2実施形態の構造では、フィールドプレート電極20はソース電極14に接続されていたが、図3に示す変形例の構造では、フィールドプレート電極20はゲート電極16に接続されている。このような構造により、フィールドプレート電極20とゲート電極16とを、一体形成、すなわち一回の成膜及びパターニング工程にて形成することが可能となり、プロセスを簡略化することができる。

【0028】

また、図2及び図3に示したフィールドプレート電極20を形成した場合、図4に示すように、ノンドープGaN層17の厚さ t はゲートドレイン間の距離 L よりも小さいことが望ましい。このような構造により、ゲート電極16近傍の電界よりもドレイン電極15側のp形GaN層19下の電界が大きくなる。このため、アバランシェ降伏はp形GaN層19近傍で起こり、アバランシェ降伏時に発生したホールが速やかにp形GaN層19に排出される。この結果、図4に示した構造では、高いアバランシェ耐量可以实现できる。

【0029】

[第3の実施の形態]

次に、この発明の第3の実施の形態の電力用半導体素子について説明する。

【0030】

図5は、第3の実施の形態の横型GaNパワーHEMTの構成を示す断面図である。図2に示した前記第2の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に異なる構成部分のみを説明する。

【0031】

図5に示すように、ノンドープGaN層17上及びp形GaN層19の一部分

上には、厚い絶縁膜 21 が形成されている。さらに、p 形 GaN 層 19 上及び絶縁膜 21 上には、フィールドプレート電極 20 が形成されている。

【0032】

このような構造を有する第 3 の実施形態では、2 段のフィールドプレート構造を形成した場合と同様の効果が得られる。この場合、絶縁膜 21 には電圧がある程度加わるため、絶縁膜 21 は前記電圧により破壊されない程度の厚さがあることが望ましい。

【0033】

次に、図 6 に第 3 の実施形態の変形例の断面を示す。図 6 に示すように、ノンドープ GaN 層 17 の厚さは、2 段階の階段状に形成されている。さらに、高い方の GaN 層 17 上には、絶縁膜 22 を介してフィールドプレート電極 20 が形成されている。このフィールドプレート電極 20 は、ソース電極 14 に電氣的に接続されている。

【0034】

このように、ノンドープ GaN 層 17 の厚さを 2 段階に変化させても、前記第 2 の実施形態と同様な効果が得られる。この場合は、絶縁膜 22 には電圧がほとんど加わらないため、絶縁膜 21 より膜厚が薄くてよい。

【0035】

[第 4 の実施の形態]

次に、この発明の第 4 の実施の形態の電力用半導体素子について説明する。

【0036】

図 7 は、第 4 の実施の形態の横型 GaN パワー HEMT の構成を示す断面図である。図 1 に示した前記第 1 の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に異なる構成部分のみを説明する。

【0037】

図 7 に示すように、ゲート電極 16 とノンドープ GaN 層 17 との間のノンドープ GaN 層 17 近傍の n 形 Al GaN 層 13 上には、p 形 GaN 層 23 が形成されている。GaN 層 17 上及び p 形 GaN 層 23 の一部分上には、絶縁膜 18 が形成されている。さらに、p 形 GaN 層 23 上及び GaN 層 17 上の絶縁膜 1

8上には、ソース電極14に電氣的に接続されたフィールドプレート電極20が形成されている。言い換えると、p形GaN層23上、及びノンドープGaN層17上の絶縁膜18を部分的に覆うように、フィールドプレート電極20が形成されている。

【0038】

このような構造を有する第4の実施形態では、p形GaN層23の位置に関係無く、フィールドプレート電極20下にノンドープGaN層17を形成することにより、ノンドープGaN層17がフィールドプレート電極20下の絶縁膜と同様な働きをして、安定な耐圧が得られる。

【0039】

次に、図8に第4の実施の形態の変形例の断面を示す。図8に示すように、ノンドープGaN層17上には、厚さの異なる絶縁膜24が形成されている。さらに、GaN層17上の厚さの異なる絶縁膜24上、及びp形GaN層23上には、ソース電極14に電氣的に接続されたフィールドプレート電極20が形成されている。このように、厚さの異なる絶縁膜24を用いて2段フィールドプレート構造を形成しても実施可能である。

【0040】

[第5の実施の形態]

次に、この発明の第5の実施の形態の電力用半導体素子について説明する。

【0041】

図9は、第5の実施の形態の横GaNパワーHEMTの構成を示す断面図である。図2に示した前記第2の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に異なる構成部分のみを説明する。

【0042】

図9に示すように、ソース電極14の下とドレイン電極15の下には、コンタクト層25、26がそれぞれ形成されている。コンタクト層25、26には、例えばn⁺形GaN層が用いられる。

【0043】

このような構造を有する第5の実施形態では、コンタクト層25、26を形成

することにより、ソース電極 14 及びドレイン電極 15 とノンドープ GaN 層 12 との間のコンタクト抵抗を小さくでき、低いオン抵抗が実現できる。

【0044】

なお、コンタクト層 25、26 は、ノンドープ GaN 層 12 及び n 形 AlGaIn 層 13 にエッチングにより溝を形成した後、その溝の中に n+ 形 GaN 層を成長させることで形成が可能である。

【0045】

次に、図 10 に第 5 の実施の形態の第 1 変形例の断面を示す。図 10 に示すように、コンタクト層 26 とノンドープ GaN 層 17 とが高さ方向の一部分でオーバーラップするように配置されている。このように、コンタクト層 26 の表面の一部がノンドープ GaN 層 17 で覆われることにより、ノンドープ GaN 層 17 の表面の電界、つまり、絶縁膜 18 の電界が弱まり、安定した耐圧を得ることができる。このような構造は、コンタクト層 25、26 を形成した後、ノンドープ GaN 層 17 を CVD 法などにより結晶成長することで形成できる。

【0046】

また、図 11 に第 5 の実施の形態の第 2 変形例の断面を示す。図 11 に示すように、p 形 GaN 層 19 とコンタクト層 26 とが高さ方向の一部分でオーバーラップするように配置されている。このような構造では、p 形 GaN 層 19 とコンタクト層 26 とが重なっている部分が最も高電界となり、前記重なっている部分以外に位置するノンドープ GaN 層 17 や絶縁膜 18 の電界を弱めることができる。これにより、第 2 変形例の素子は、安定した耐圧を得ることができる。

【0047】

なお、第 2 変形例の構造では、図 12 に示すように、ノンドープ GaN 層 17 の厚さ t が、ゲート電極 16 とコンタクト層 26 との間の距離 d よりも小さいことが望ましい。このような構造により、ゲート電極 16 近傍の電界よりもドレイン電極 15 側の p 形 GaN 層 19 下の電界が大きくなり、アバランシェ降伏時に発生したホールが速やかに p 形 GaN 層 19 に排出される。この結果、図 12 に示した構造では、高いアバランシェ耐量を実現できる。

【0048】

図9～図12に示した構造では、コンタクト層25、26がn形AlGaIn層13に埋め込まれた形状を示したが、これらコンタクト層25、26はn形AlGaIn層13上に選択的に形成しても実施可能である。

【0049】

[第6の実施の形態]

次に、この発明の第6の実施の形態の電力用半導体素子について説明する。

【0050】

図13は、第6の実施の形態の横型GaInパワーHEMTの構成を示す断面図である。図2に示した前記第2の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に異なる構成部分のみを説明する。

【0051】

図13に示すように、ドレイン電極15がノンドープGaIn層17で覆われている。詳述すると、n形AlGaIn層13上にはドレイン電極15が形成され、このドレイン電極15上には、ノンドープGaIn層17が形成されている。ノンドープGaIn層17の一部分上には、p形GaIn層19が形成され、ノンドープGaIn層17上及びp形GaIn層19上には絶縁膜18が形成されている。さらに、絶縁膜18が除去されたp形GaIn層19上には、フィールドプレート電極20が形成される。このフィールドプレート電極20は、ソース電極14に電気的に接続されている。

【0052】

このような構造を有する第6の実施形態では、ノンドープGaIn層17の表面に堆積されている絶縁膜18に印加される電界をほとんどゼロとすることができ、これにより、素子耐圧は、完全にノンドープGaIn層17またはn形AlGaIn層13の半導体層で決まるものとなる。このような構造は、ドレイン電極15をタングステン(W)などの高融点金属にて形成した後、ドレイン電極15上にノンドープGaIn層17を成長させることで形成可能である。

【0053】

次に、図14に第6の実施形態の第1変形例の断面を示す。図14に示すように、ドレイン電極15とp形GaIn層19とが高さ方向でオーバーラップするよ

うに形成されている。言い換えると、ドレイン電極15の上方がp形Ga_{0.5}In_{0.5}N層19にて完全に覆われている。このように、ドレイン電極15を完全に覆うことにより、高電圧部が結晶(GaN層17)内に閉じ込められるため、外側の絶縁膜18には電圧が殆ど印加されない。これにより、GaN層17上に形成される絶縁膜18の材料をかなり自由に選択できるようになる。

【0054】

なお、第1変形例の構造では、図15に示すように、ノンドープGaN層17の厚さ t が、ゲート電極16とドレイン電極15との間の距離よりも小さいことが望ましい。これにより、素子の耐圧は、ノンドープGaN層17の厚さ t により決まり、結晶成長膜であるノンドープGaN層17により耐圧を精度良く制御できる。

【0055】

[第7の実施の形態]

次に、この発明の第7の実施の形態の電力用半導体素子について説明する。

【0056】

図16は、第7の実施の形態の横型GaNパワーHEMTの構成を示す断面図である。図1に示した前記第1の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に異なる構成部分のみを説明する。

【0057】

図16に示すように、ノンドープGaN層17の表面には、絶縁膜18が成膜されている。さらに、ノンドープGaN層17上の絶縁膜18上には、選択的にフィールドプレート電極20が形成されている。このフィールドプレート電極20は、ソース電極14に接続されている。

【0058】

このような構造を有する第7の実施形態では、n形AlGa_{0.5}In_{0.5}N層13上にノンドープGaN層17を形成することにより、絶縁膜18に加わる電界を緩和することができる。さらに、絶縁膜18上にフィールドプレート電極20を形成することにより、フィールドプレート電極20からノンドープGaN層17へのリーク電流を極端に減少させることができる。

【0059】

図16に示した構造では、フィールドプレート電極20は、ソース電極14と電氣的に接続されている。このような構造により、ゲートドレイン間の容量を小さくでき、スイッチングスピードを向上させることができる。p形GaN層19を形成した構造に比べると、アバランシェ耐量は落ちるが、安定した耐圧が得られ、プロセスを簡略化することができる。

【0060】

また、図16の構造では、絶縁膜18上にフィールドプレート電極20が形成されているが、ノンドープGaN層17上にフィールドプレート電極20を直接形成し、ノンドープGaN層17とフィールドプレート電極20とがショットキー接合を形成するようにしてもよい。この場合、フィールドプレート電極20からのリーク電流は増加するが、素子表面の絶縁膜18に加わる電界を弱める効果は得られる。

【0061】

次に、図17に第7の実施形態の第1変形例の断面を示す。図17に示すように、フィールドプレート電極20がゲート電極16と一体に形成され、フィールドプレート電極20とゲート電極16とが電氣的に接続されている。このように、一体形成することにより、プロセスを簡略化することができる。

【0062】

[第8の実施の形態]

次に、この発明の第8の実施の形態の電力用半導体素子について説明する。

【0063】

図18は、第8の実施の形態の横型GaNパワーHEMTの構成を示す断面図である。図2に示した前記第2の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に異なる構成部分のみを説明する。

【0064】

図18に示すように、ゲート電極16下には、ゲート絶縁膜27が形成されている。これにより、ゲートリーク電流を劇的に減少させることが可能である。この結果、ゲート駆動回路の低損失化が可能となる。ゲート絶縁膜27には、Al

GaN層を酸化したAlGaO_xや、堆積したSiN、AlN、Al₂O₃などが用いられる。

【0065】

[第9の実施の形態]

次に、この発明の第9の実施の形態の電力用半導体素子について説明する。

【0066】

図19は、第9の実施の形態の横型GaNパワーHEMTの構成を示す断面図である。このパワーHEMTも、前記第1～第8の実施の形態に示したパワーHEMTと同様に、n形AlGa_{0.1}N/GaNのヘテロ構造を用いて構成される。

【0067】

図19に示すように、基板11上には、真性半導体(i形半導体)層であるノンドープGaN層12がチャンネル層として形成されている。GaN層12上には、n形の半導体層であるn形Al_{0.1}Ga_{0.9}N層31がバリア層として形成されている。なお、前記基板11には、例えばSiC、またはサファイアなどが用いられる。GaN層12の不純物濃度は、 $1.0 \times 10^{14} \text{ cm}^{-3}$ 以下であればよく、この濃度であればこのHEMTにおいて必要な耐圧を保持することができる。

【0068】

n形Al_{0.1}Ga_{0.9}N層31上には、ソース電極14とドレイン電極15とが離隔して形成されている。ソース電極14とドレイン電極15との間のn形Al_{0.1}Ga_{0.9}N層31上には、ゲート電極16が形成されている。ゲート電極16とドレイン電極15との間のn形Al_{0.1}Ga_{0.9}N層31上には、ノンドープAl_{0.1}Ga_{0.9}N層32が形成されている。

【0069】

ノンドープAl_{0.1}Ga_{0.9}N層32上には、p形の半導体層であるp形AlGaN層33が形成されており、素子の表面(ノンドープAl_{0.1}Ga_{0.9}N層32上及びp形AlGaN層33上)は絶縁膜18で覆われている。また、p形AlGaN層33上の一大部分の絶縁膜18は除去されており、この除去されたp形AlGaN層33上には、フィールドプレート電極20が形成されて

いる。さらに、フィールドプレート電極 20 とソース電極 14 とが電氣的に接続されている。

【0070】

このような構造を有する第 9 の実施形態では、ノンドープ AlGaIn 層 32 と n 形 AlGaIn 層 31 の Al 組成比を同じにすることにより、アバランシェ降伏がノンドープ AlGaIn 層 32 で起きた場合でも、n 形 AlGaIn 層 31 に速やかに電子が流れ込み、高いアバランシェ耐量可以实现できる。

【0071】

図 1 ～ 図 18 に示した前記第 1 ～ 第 8 の実施形態では、ゲートドレイン間の半導体層をノンドープ GaN 層 17 で形成している。これにより、格子歪が小さく、ノンドープ GaN 層 17 を厚く結晶成長をすることができる。この第 9 の実施形態では、ゲートドレイン間のノンドープ AlGaIn 層 32 の Al 組成を大きくすると、格子歪が大きくなるため、クラックが入りやすくなる。しかし、耐圧を保つためにはノンドープ AlGaIn 層 32 は、ある程度厚くする必要がある。

【0072】

そこで、図 20 (b) のバンド図に示すように、ノンドープ AlGaIn 層 32 の Al 組成比を、p 形 AlGaIn 層 33 に近づくにつれて徐々に小さくすることにより、等価的に Al の組成比が小さい場合と同様な格子歪を維持したままで、AlGaIn 層 32 と n 形 AlGaIn 層 31 とのバンド不連続を無くした構造を形成することもできる。なお、図 20 (b) に示したバンドギャップ図は、図 20 (a) 中の A-A' 線に沿った断面の状態を示す。

【0073】

次に、図 21 に第 9 の実施形態の変形例の断面を示す。図 21 に示すように、ノンドープ GaN 層 17 上には、p 形の半導体層である p 形 GaInN 層 34 が形成されている。このような構造では、ノンドープ GaN 層 17 上に形成された p 形 GaInN 層 34 は GaN 層よりも狭いバンドギャップを持つため、ホールに対する障壁が無い。このため、アバランシェ降伏時に発生するホールを速やかに排出することが可能となり、GaN 層を用いたものよりアバランシェ耐量を大

きくすることができる。

【0074】

[第10の実施の形態]

次に、この発明の第10の実施の形態の電力用半導体素子について説明する。第10の実施の形態は、ダイヤモンドを用いて横型パワーMISFETを構成した例である。

【0075】

図22は、第10の実施の形態の横型ダイヤモンドMISFETの構造を示す断面図である。

【0076】

このMISFETは、以下のような構成を有している。図22に示すように、基板11上には、真性半導体（i形半導体）層であるノンドープダイヤモンド層35がチャンネル層として形成されている。ノンドープダイヤモンド層35上には、p形の半導体層であるp形ダイヤモンド層36がバリア層として形成されている。なお、前記基板11には、例えばダイヤモンドなどが用いられる。ノンドープダイヤモンド層35の不純物濃度は、 $1.0 \times 10^{14} \text{ cm}^{-3}$ 以下であればよく、この濃度であればこのMISFETにおいて必要な耐圧を保持することができる。

【0077】

p型ダイヤモンド層36上には、ソース電極14とドレイン電極15とが離隔して形成されている。ソース電極14とドレイン電極15との間のp型ダイヤモンド層36上にはゲート絶縁膜27が形成され、このゲート絶縁膜27上にはゲート電極16が形成されている。ゲート電極16とドレイン電極15との間のp型ダイヤモンド層36上には、真性半導体（i形半導体）層であるノンドープダイヤモンド層37が形成されている。

【0078】

ノンドープダイヤモンド層37上には、n形の半導体層であるn型ダイヤモンド層38が形成されている。ノンドープダイヤモンド層37上及びn型ダイヤモンド層38上（素子表面）には絶縁膜18が形成されている。さらに、n型ダイ

アモンド層 38 上の一部分の絶縁膜 18 は除去されており、絶縁膜 18 が除去された n 型ダイヤモンド層 38 上にはフィールドプレート電極 20 が形成されている。このフィールドプレート電極 20 は、ソース電極 14 に電氣的に接続されている。

【0079】

このように、ダイヤモンドを用いて横型パワー MISFET や MESFET を形成した第 10 の実施形態でも、前述した GaN-HEMT と同様に、半導体層の臨界電界は高いものが得られる。しかし、素子表面に形成される絶縁膜の破壊電界はプロセスや材料に大きく依存するため、半導体層の能力を十分に引き出すことが難しい。このため、ダイヤモンドを用いた MISFET においても、フィールドプレート電極 20 下に絶縁膜の役目をするノンドープダイヤモンド層 37 を形成することで、安定した耐圧を得ることが可能となる。

【0080】

なお、第 10 の実施形態の MISFET においても、前述したフィールドプレート電極の形成やコンタクト層の形成、二段フィールドプレート構造の形成など、AlGaIn/GaN のヘテロ構造を用いて説明した構造は実施可能である。

【0081】

[第 11 の実施の形態]

次に、この発明の第 11 の実施の形態の電力用半導体素子について説明する。

【0082】

図 23 は、第 11 の実施の形態の横型 GaN-SBD の構成を示す断面図である。横型 GaN-SBD は、アノード電極とカソード電極とが基板面に水平に配置され、ガリウム窒素 (GaN) をチャネル層に用いた電力用のショットキーバリアダイオードである。

【0083】

この SBD は、以下のような構成を有している。図 23 に示すように、基板 11 上には、真性半導体 (i 形半導体) 層であるノンドープ GaN 層 12 がチャネル層として形成されている。GaN 層 12 上には、n 形の半導体層である n 形 AlGaIn 層 13 がバリア層として形成されている。なお、前記基板 11 には、例

えばSiC、またはサファイアなどが用いられる。GaN層12の不純物濃度は、 $1.0 \times 10^{14} \text{ cm}^{-3}$ 以下であればよく、この濃度であればこのSBDにおいて必要な耐圧を保持することができる。

【0084】

n形AlGaN層13上には、アノード電極41とカソード電極42とが離隔して形成されている。アノード電極41とカソード電極42との間のn形AlGaN層13上には、真性半導体(i形半導体)層であるノンドープGaN層17が形成されている。さらに、ノンドープGaN層17上には、p形の半導体層であるp形GaN層19が形成されている。ノンドープGaN層17上及びp形GaN層19上(素子表面)は絶縁膜18で覆われている。さらに、p形GaN層19上の一部分は絶縁膜18が除去されており、絶縁膜18が除去されたp形GaN層19上にはフィールドプレート電極20が形成されている。

【0085】

このような構造を有するSBDでは、アノード電極41とカソード電極42との間に耐圧低下を抑制するためのフィールドプレート電極20を形成している。さらに、前述したパワーHEMTと同様に、フィールドプレート電極20下に絶縁膜の役目をするノンドープGaN層17を形成している。これにより、低オン抵抗を維持したままで、高耐圧なSBDが実現できる。

【0086】

次に、図24に第11の実施の形態の変形例の断面を示す。図24に示すように、フィールドプレート電極20はアノード電極41と一体に形成され、フィールドプレート電極20とアノード電極41とが電氣的に接続されている。

【0087】

このように、アノード電極41とフィールドプレート電極20を一体形成することにより、プロセスを簡略化することができる。また、アバランシェ降伏時のホールがフィールドプレート電極20からアノード電極41へ速やかに排出されたため、高いアバランシェ耐量可以实现できる。

【0088】

また、図23及び図24に示した構造において、ノンドープGaN層17の厚

さは、アノード電極41とカソード電極42との間の距離よりも小さいことが耐圧を精度良く制御するために望ましい。

【0089】

また、前記第11の実施形態では、半導体層にGaNを用いたSBDを説明したが、ダイヤモンドを用いたSBDでも実施可能である。

【0090】

以上説明したように、本発明の実施の形態によれば、ワイドバンドギャップ半導体素子の能力を引き出し、低オン抵抗を実現でき、高アバランシェ耐量を有する電力用半導体素子を提供することができる。すなわち、安定した耐圧と高アバランシェ耐量を有する、高耐圧で超低オン抵抗の横型ワイドバンドギャップ半導体素子を提供することができる。

【0091】

以上、本発明を第1乃至第11の実施形態によりを説明したが、この発明は、第1乃至第11の実施形態に限定されるものではなく、これ以外にも当該技術者が容易に考え得る変形はすべて適用可能である。

【0092】

例えば、主にAlGaN/GaN系のヘテロ構造を用いて説明したが、Inを含むAlGaInN/GaInN系のヘテロ構造で素子を形成しても実施可能である。また、HEMT構造において示した各層のバンドギャップの関係は、MISFETやSBDにおいても実施可能である。さらに、AlGaInN系ヘテロ構造を形成する際に基板となる材料は、SiC、またはサファイアだけでなく、GaNやSiなどを用いても実施可能である。

【0093】

また、本発明の実施形態は、HEMTまたはMESFET、MISFET、SBDに限らず、JFETなどのその他のユニポーラ素子、さらにpinダイオードやIGBTなどバイポーラ素子であっても横型素子であれば実施可能である。

【0094】

【発明の効果】

以上述べたように本発明によれば、高アバランシェ耐量を有し高耐圧で、低オ

ン抵抗を実現した電力用半導体素子を提供することができる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施形態の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 2】 この発明の第 2 の実施形態の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 3】 この発明の第 2 の実施形態の変形例の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 4】 この発明の第 2 の実施形態の横型 GaN パワー HEMT の構成（一部寸法含む）を模式的に示す断面図である。

【図 5】 この発明の第 3 の実施形態の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 6】 前記第 3 の実施形態の変形例の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 7】 この発明の第 4 の実施形態の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 8】 前記第 4 の実施形態の変形例の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 9】 この発明の第 5 の実施形態の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 10】 前記第 5 の実施形態の第 1 変形例の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 11】 前記第 5 の実施形態の第 2 変形例の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 12】 前記第 5 の実施形態の第 2 変形例の横型 GaN パワー HEMT の構成（一部寸法含む）を模式的に示す断面図である。

【図 13】 この発明の第 6 の実施形態の横型 GaN パワー HEMT の構成を模式的に示す断面図である。

【図 14】 この発明の第 6 の実施形態の第 1 変形例の横型 GaN パワー H

EMTの構成を模式的に示す断面図である。

【図15】 前記第6の実施形態の第1変形例の横型GaNパワーHEMTの構成（一部寸法含む）を模式的に示す断面図である。

【図16】 この発明の第7の実施形態の横型GaNパワーHEMTの構成を模式的に示す断面図である。

【図17】 前記第7の実施形態の第1変形例の横型GaNパワーHEMTの構成を模式的に示す断面図である。

【図18】 この発明の第8の実施形態の横型GaNパワーHEMTの構成を模式的に示す断面図である。

【図19】 この発明の第9の実施形態の横型GaNパワーHEMTの構成を模式的に示す断面図である。

【図20】 (a)は前記第9の実施形態の横型GaNパワーHEMTの構成を模式的に示す断面図であり、(b)は前記断面図中のA-A'線に沿った断面のバンドギャップ図である。

【図21】 前記第9の実施形態の変形例の横型GaNパワーHEMTの構成を模式的に示す断面図である。

【図22】 この発明の第10の実施形態の横型ダイヤモンドMISFETの構成を模式的に示す断面図である。

【図23】 この発明の第11の実施形態の横型GaN-SBDの構成を模式的に示す断面図である。

【図24】 前記第11の実施形態の変形例の横型GaN-SBDの構成を模式的に示す断面図である。

【符号の説明】

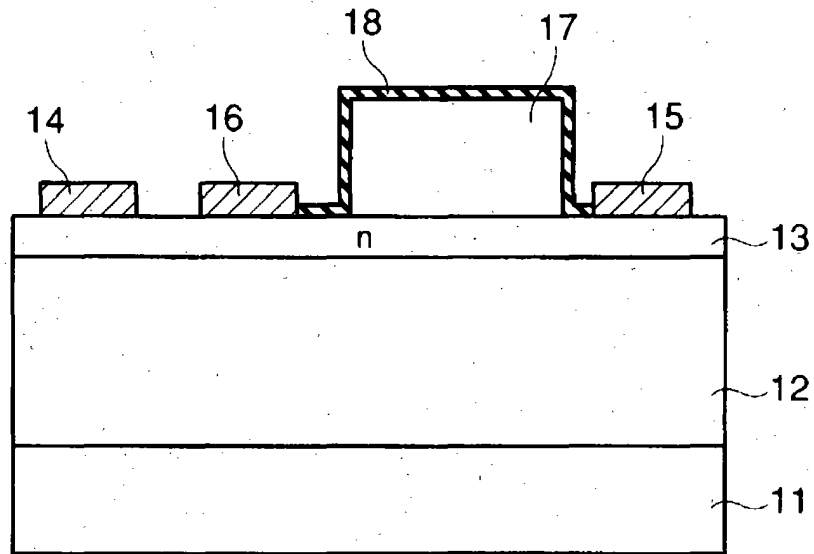
11…基板、12…ノンドープGaN層、13…n形AlGaN層、14…ソース電極、15…ドレイン電極、16…ゲート電極、17…ノンドープGaN層、18…絶縁膜、19…p形GaN層、20…フィールドプレート電極、21…絶縁膜、22…絶縁膜、23…p形GaN層、24…絶縁膜、25…コンタクト層、26…コンタクト層、27…ゲート絶縁膜、31…n形Al_{0.1}Ga_{0.9}N層、32…ノンドープAl_{0.1}Ga_{0.9}N層、33…p形AlGaN層

、34…p形GaInN層、35…ノンドープダイヤモンド層、36…p形ダイヤモンド層、37…ノンドープダイヤモンド層、38…n型ダイヤモンド層、41…アノード電極、42…カソード電極。

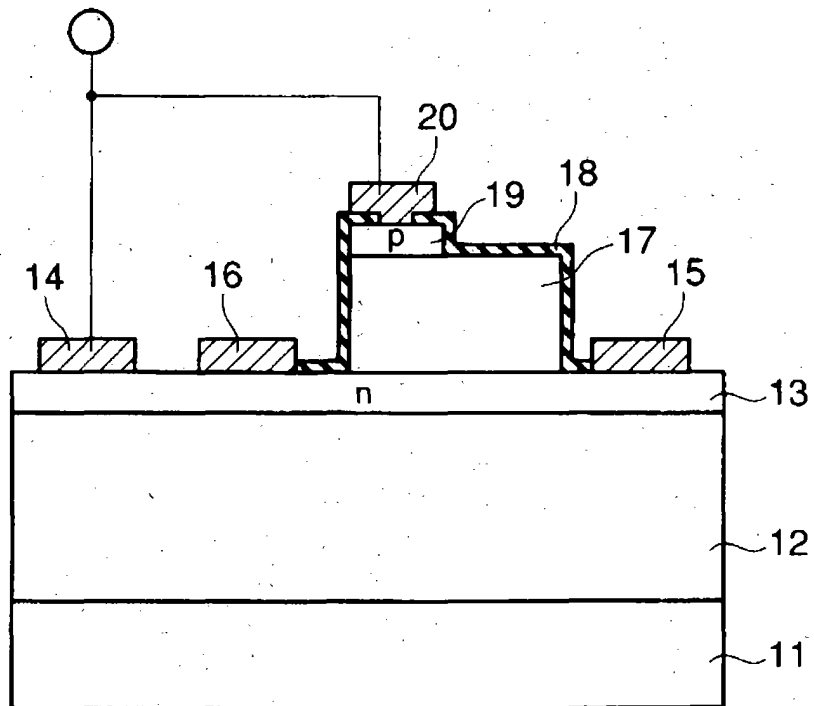
【書類名】

図面

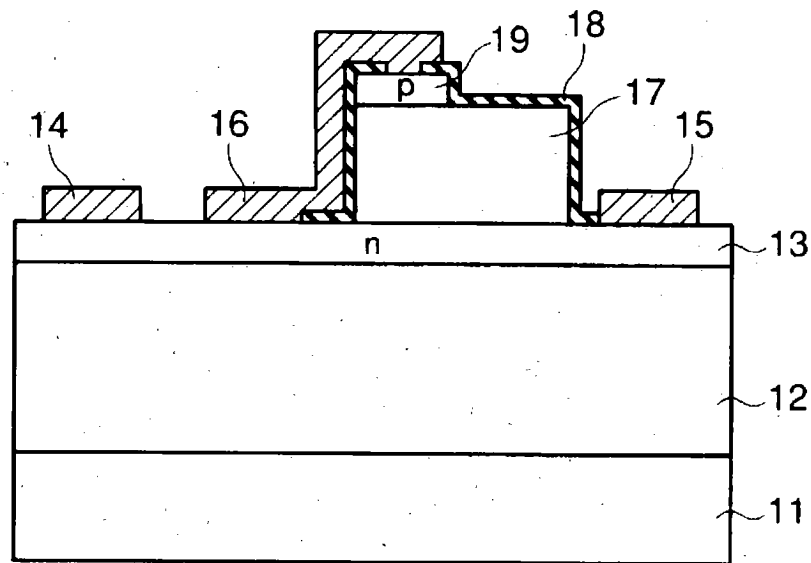
【図 1】



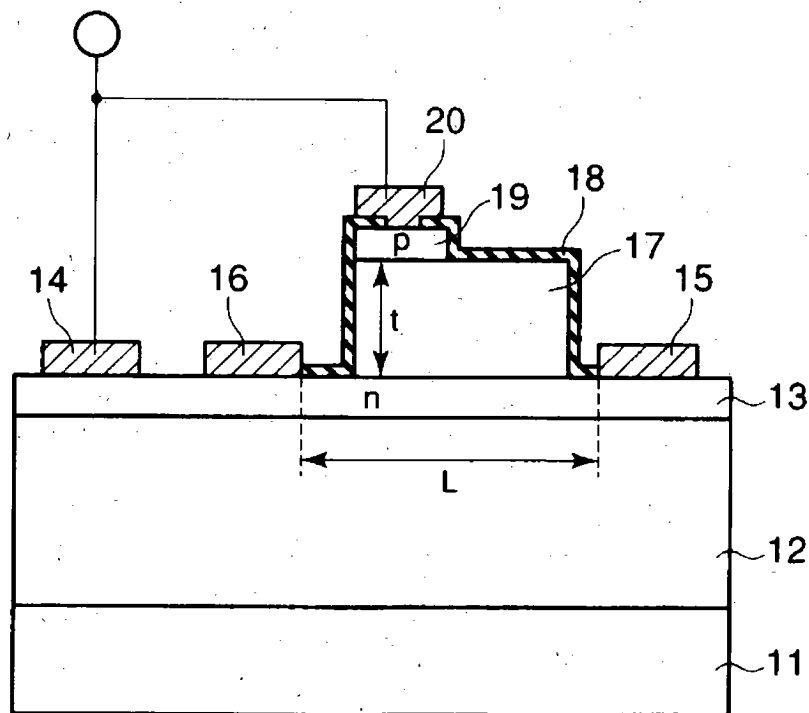
【図 2】



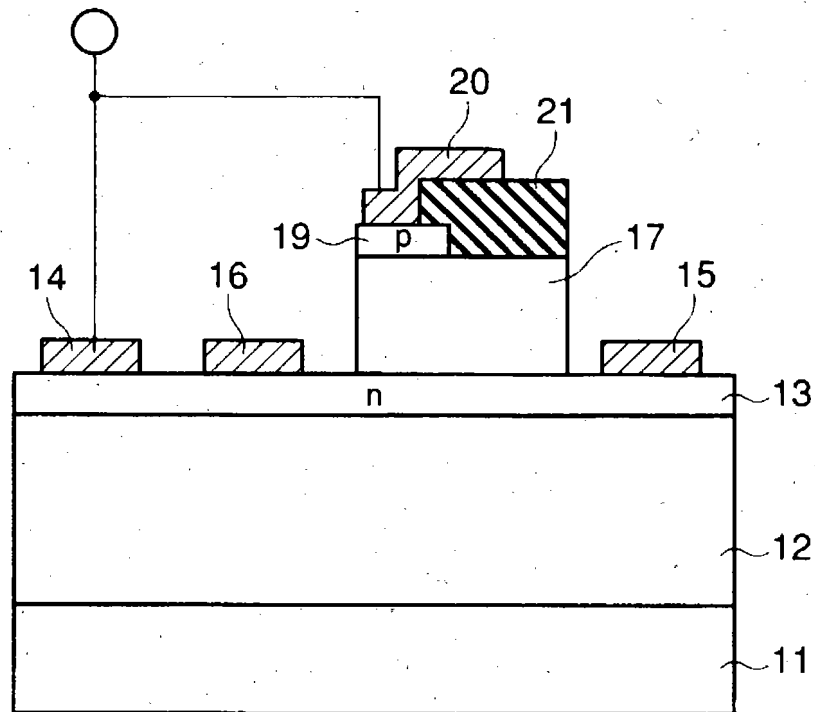
【図 3】



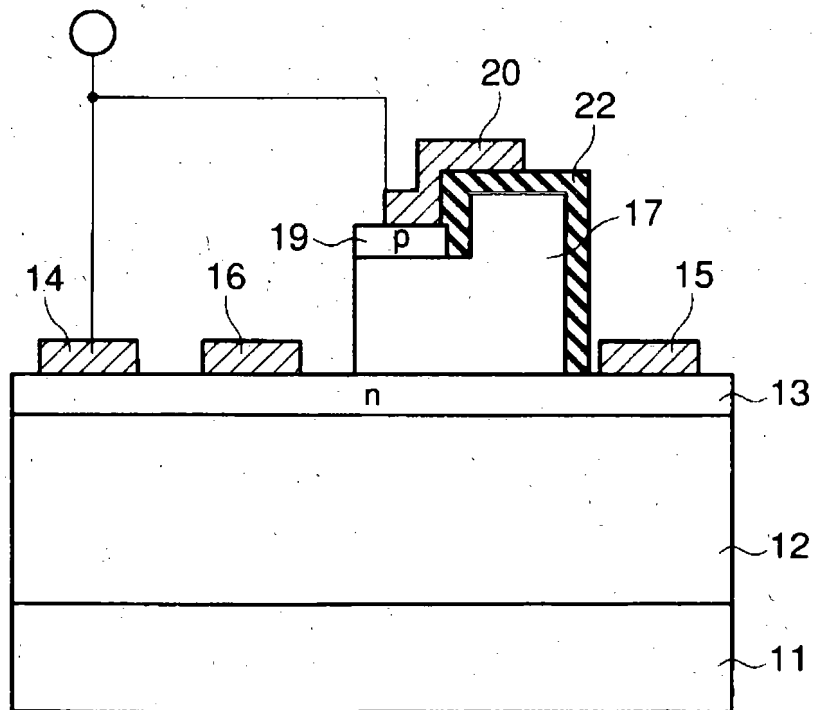
【図 4】



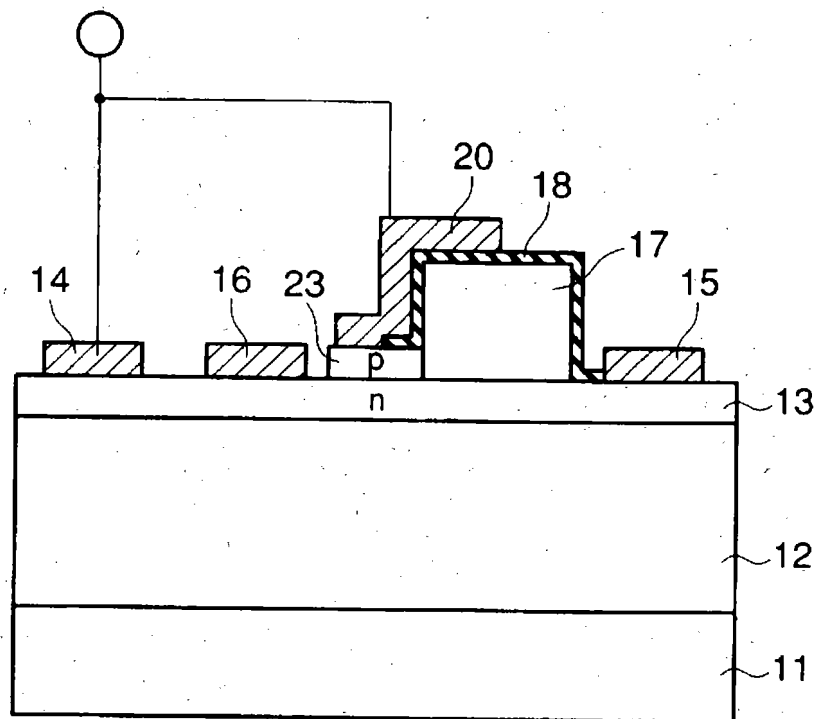
【図 5】



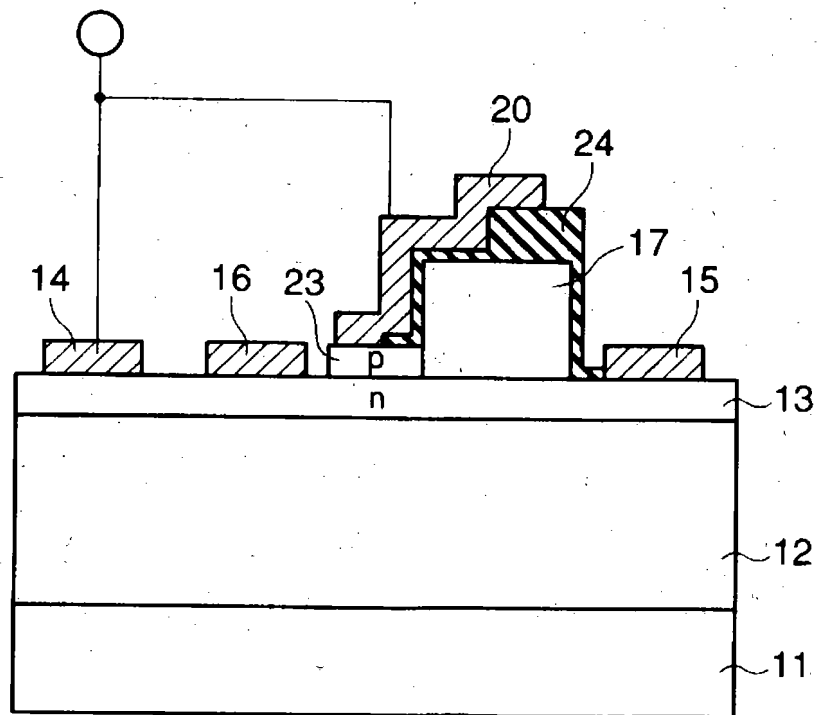
【図 6】



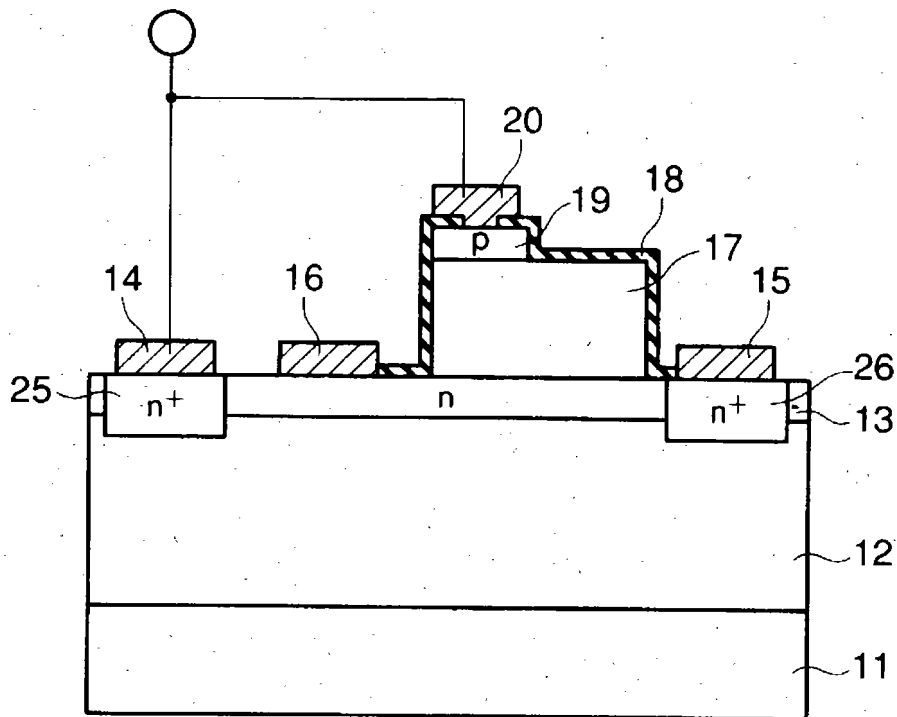
【図 7】



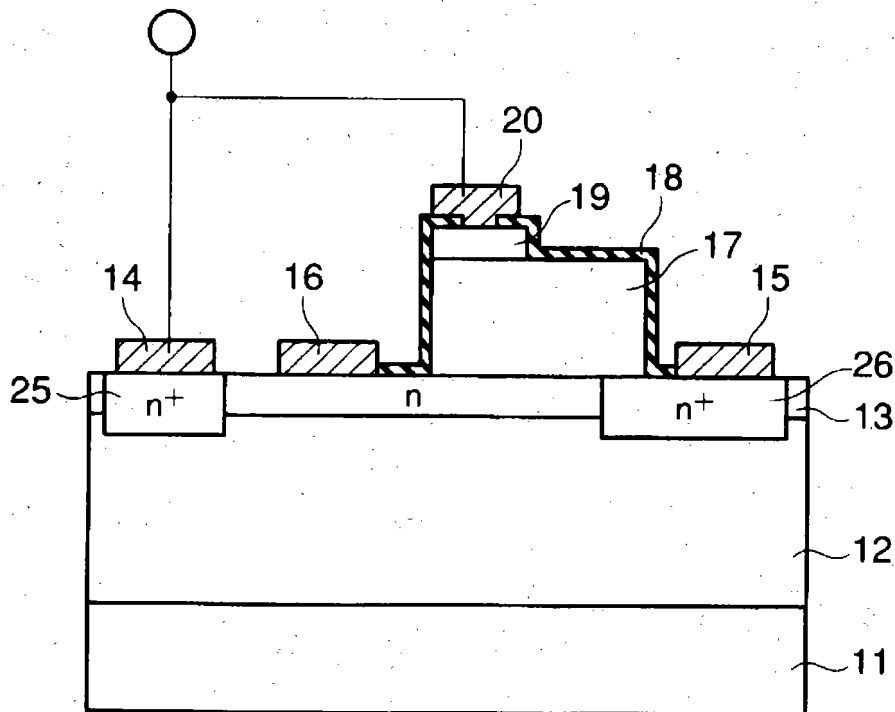
【図 8】



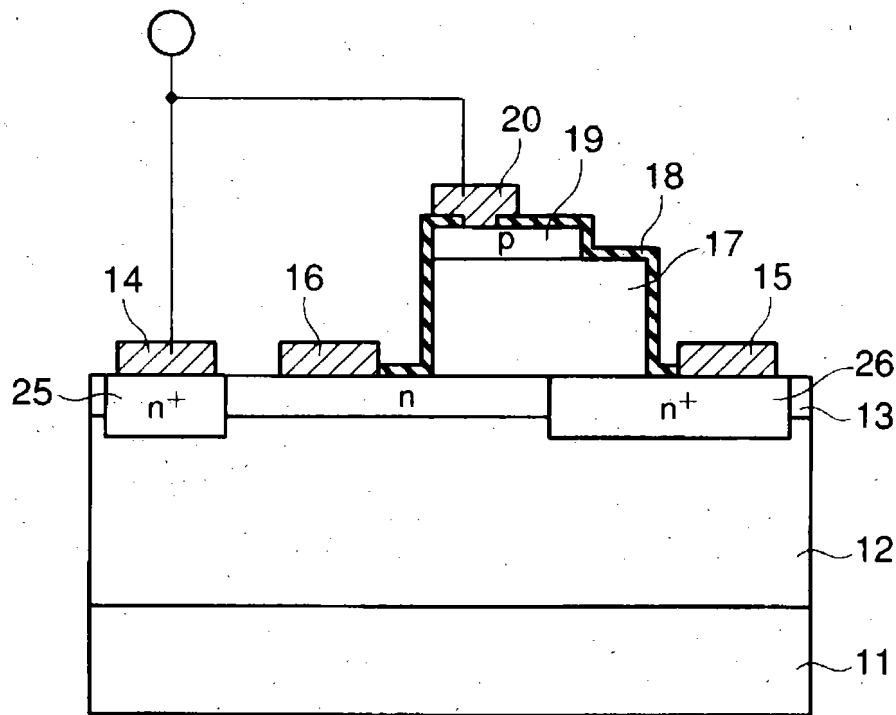
【図 9】



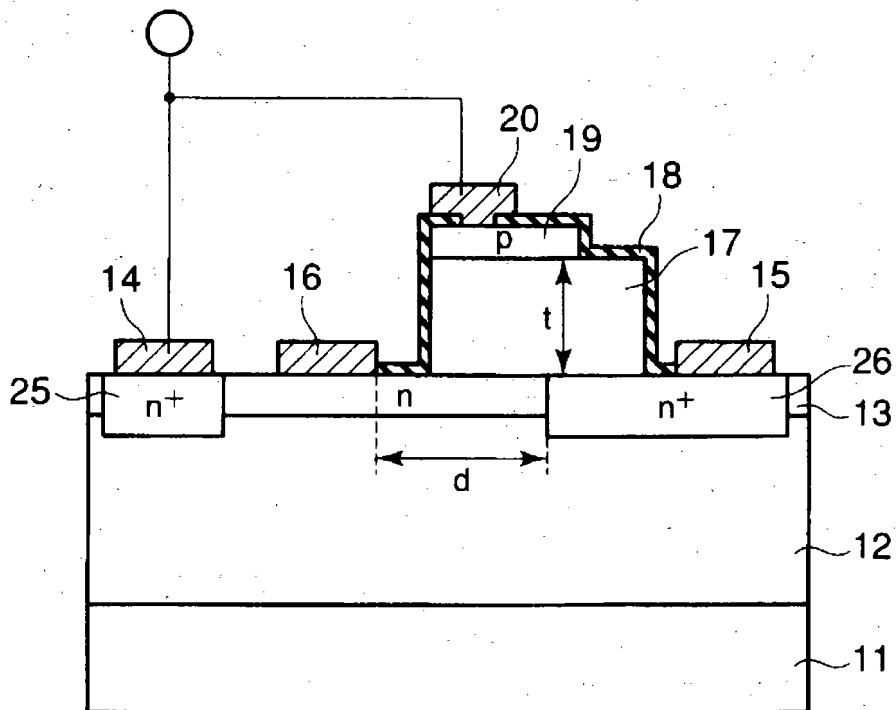
【図 10】



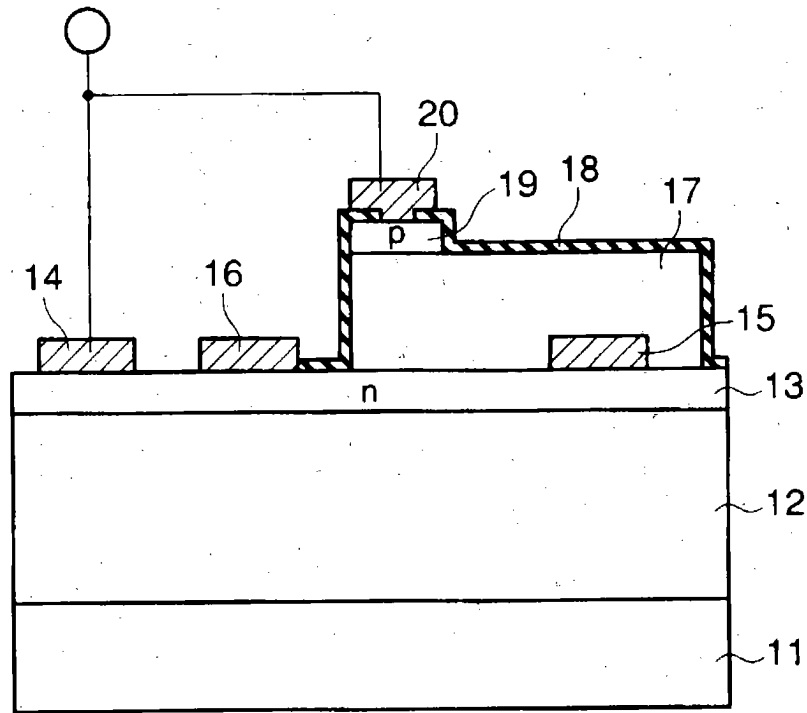
【図 1 1】



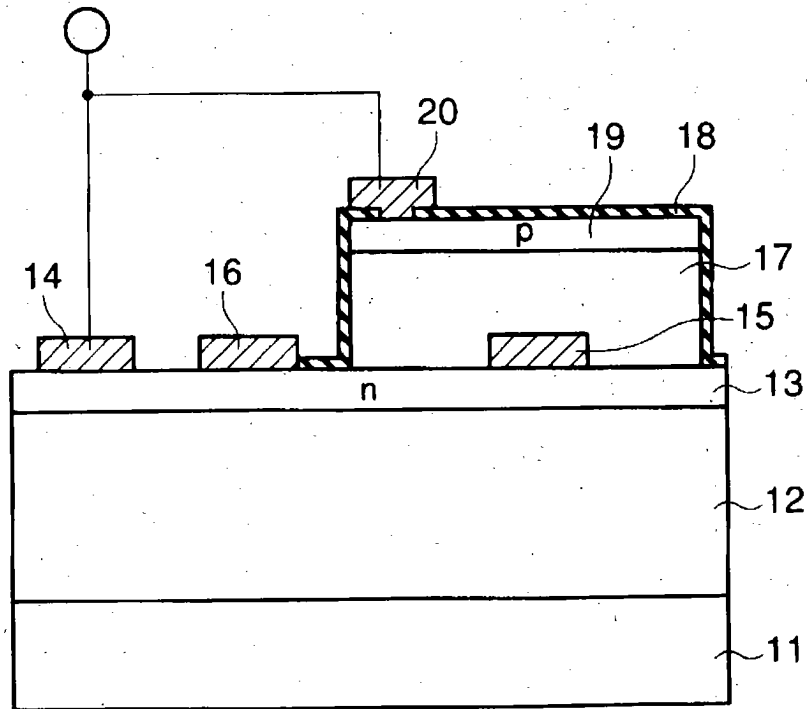
【図 1 2】



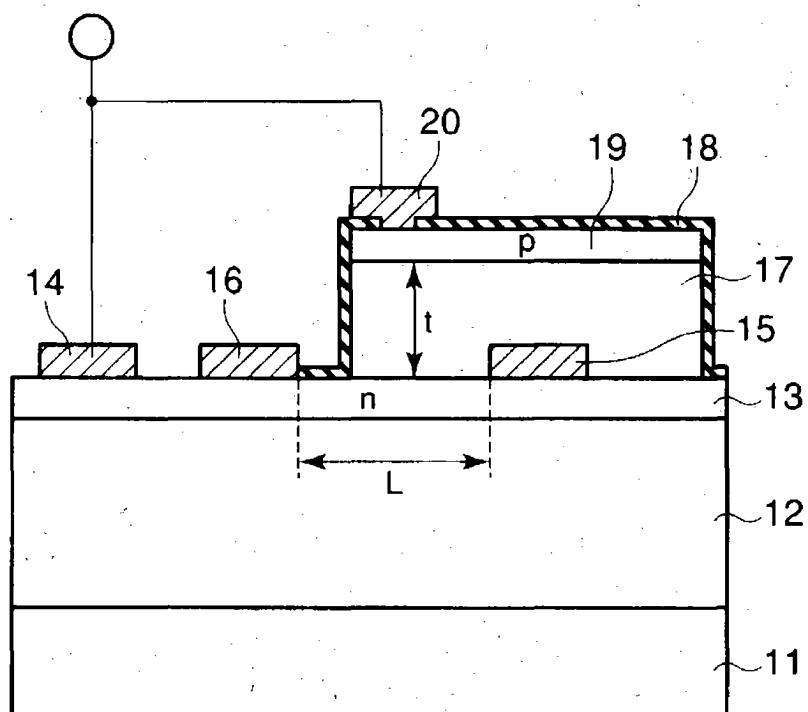
【図 13】



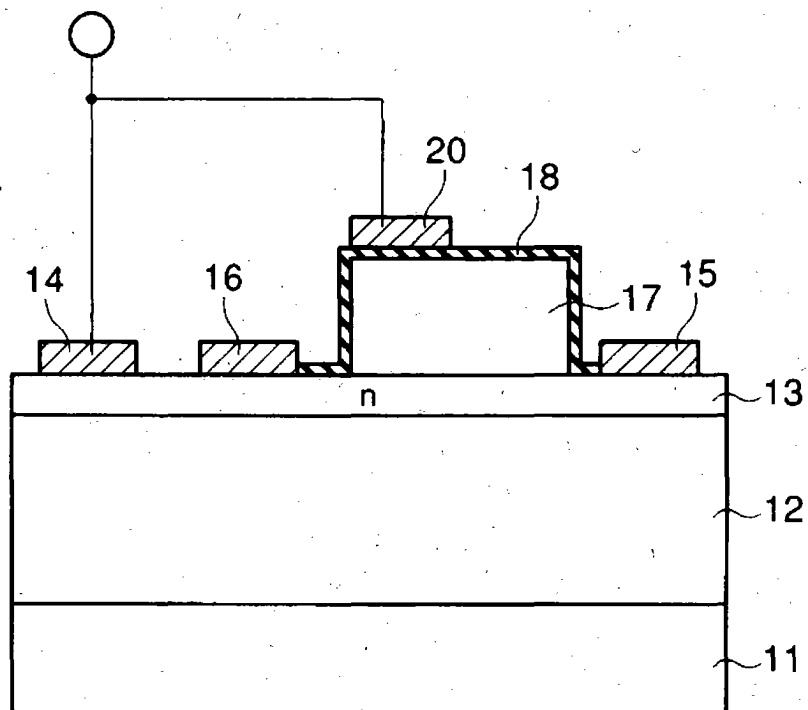
【図 14】



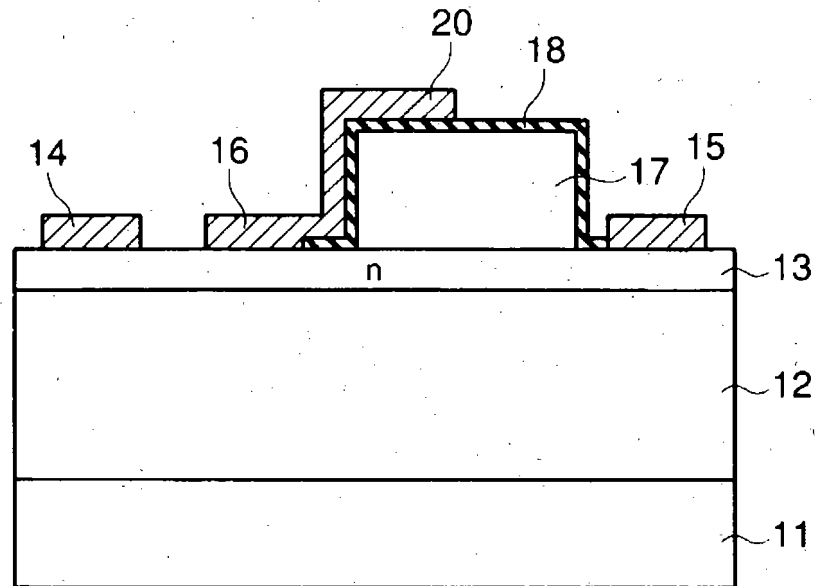
【図15】



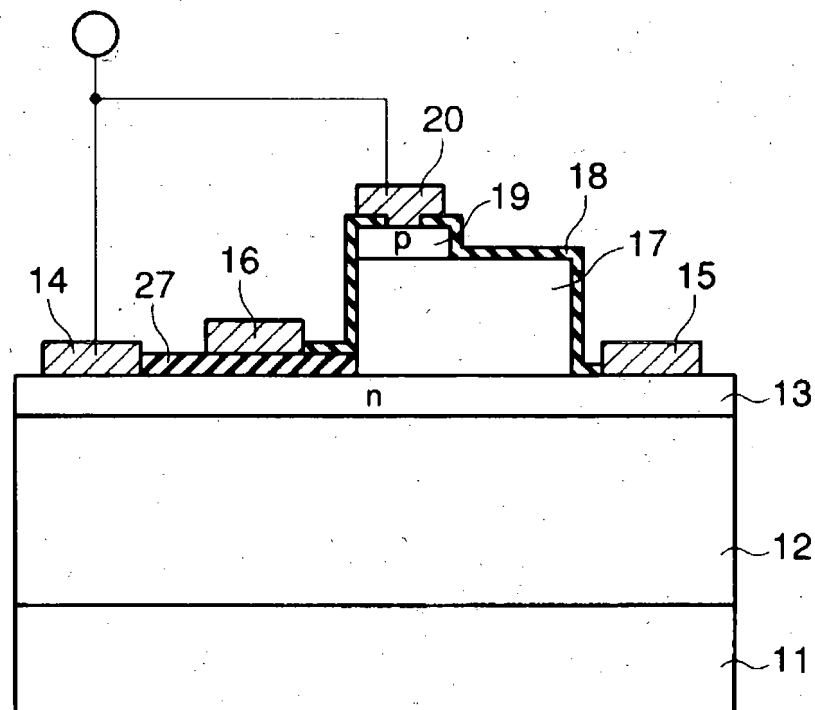
【図16】



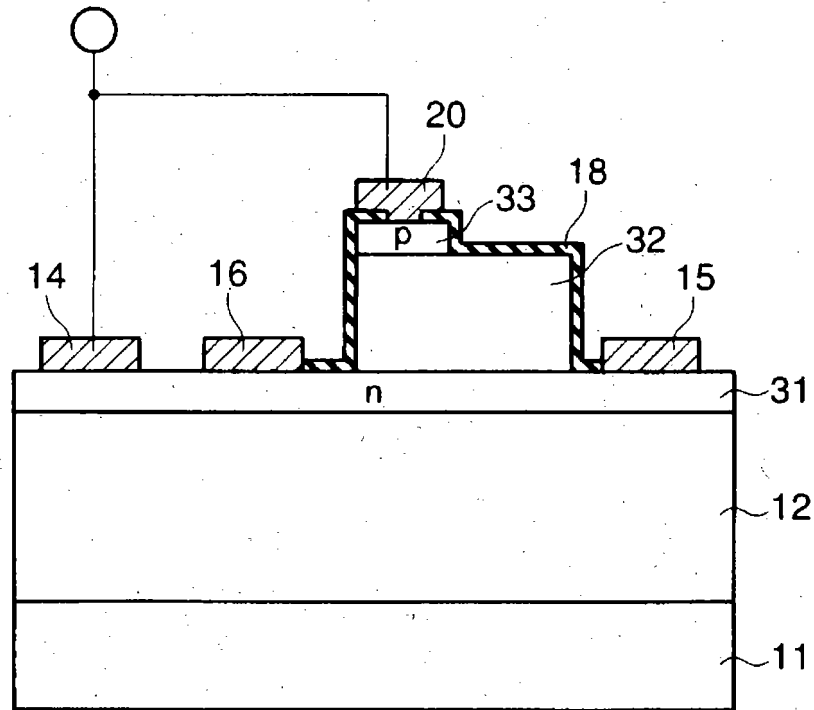
【图 1.7】



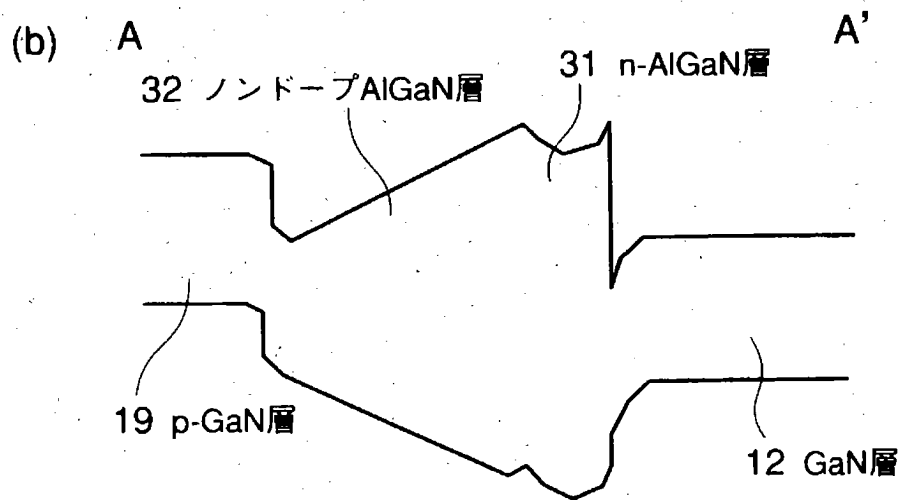
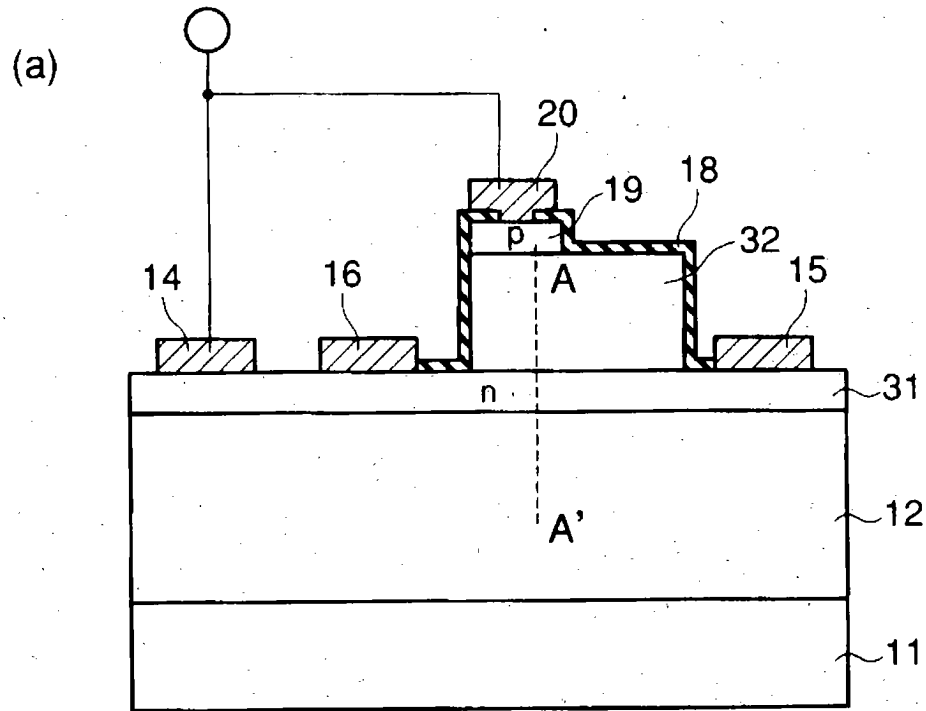
【図 18】



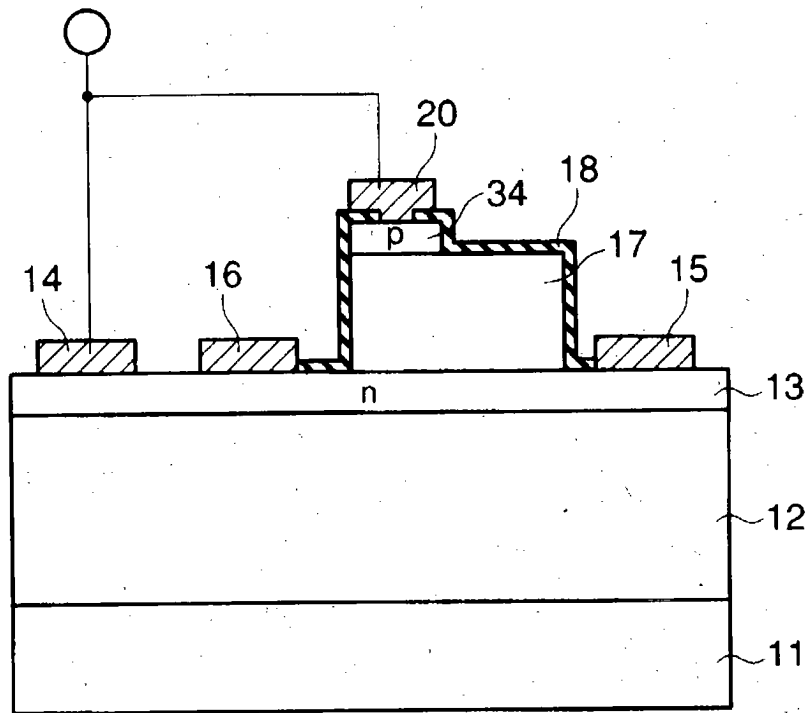
【図 19】



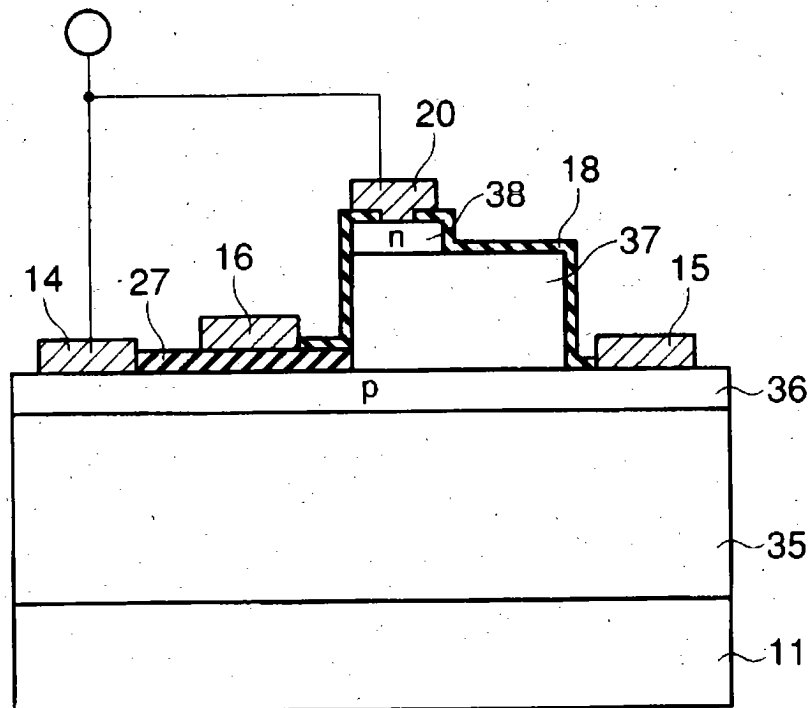
【図 20】



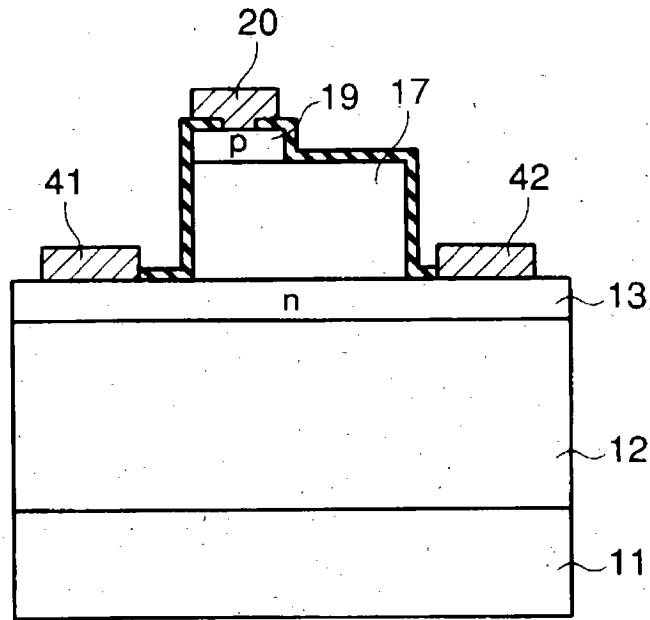
【図 2 1】



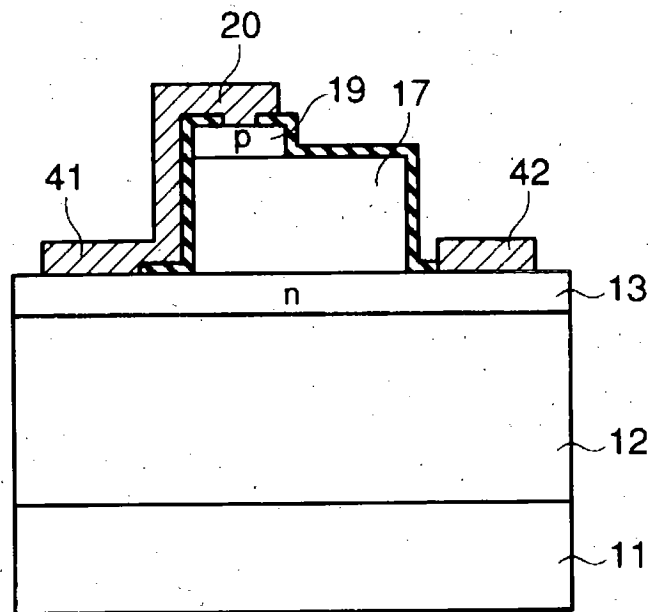
【図 2 2】



【図 2 3】



【図 2 4】



【書類名】 要約書

【要約】

【課題】 高アバランシェ耐量を有し高耐圧で、低オン抵抗を実現した電力用半導体素子を提供する。

【解決手段】 ノンドープGaN層12と、ノンドープGaN層12上に形成されたn形AlGaN層13と、n形AlGaN層13上に離隔して形成されたソース電極14及びドレイン電極15と、ソース電極14とドレイン電極15との間のn形AlGaN層13上に形成されたゲート電極16と、ゲート電極16とドレイン電極15との間のn形AlGaN層13上に形成されたノンドープGaN層17とを有する。

【選択図】 図1

特願 2003-139071

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝